

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-092717

(43)Date of publication of application : 04.04.1997

(51)Int.Cl. H01L 21/768  
H01L 21/316  
H01L 21/3205

(21)Application number : 07-243014

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 21.09.1995

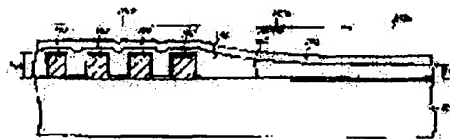
(72)Inventor : MATSUURA MASAZUMI

## (54) SEMICONDUCTOR AND FABRICATION THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To perform planarization normally by decreasing the thickness of silicon oxide gradually, in the region surrounding an interconnection region, as the silicon oxide recedes from the interconnection region and flattening the peripheral part at a specific ratio of thickness to the interconnection.

**SOLUTION:** A silicon oxide 104 is deposited by CVD using a mixed gas of silane  $\text{SiH}_4$  containing silicon atoms and hydrogen peroxide  $\text{H}_2\text{O}_2$ . The oxide 104 becomes thinner gradually, on a second region 101b, as the oxide 104 recedes from a first region 101a. It is flattened on a third region 101c separated  $30\text{ }\mu\text{m}$  or more from the first region 101a and has a thickness HB smaller than the thickness HA of an interconnection 102 but thicker than 50% of HA. A plasma oxide 105 is deposited on the oxide 104 under conditions the same as or different from the conditions for forming a plasma oxide 103 on the interconnection 102. According to the method, silicon oxide can be planarized normally.



## LEGAL STATUS

[Date of request for examination] 16.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## CLAIMS

## [Claim(s)]

[Claim 1] Two or more wiring which is formed in parallel to a 1st [ of a semiconductor substrate ] field top, and has predetermined thickness, And it is formed using the mixed gas which has the gas containing a silicon atom, and a hydrogen peroxide on the 3rd field of the semiconductor substrate surrounding the 2nd field and 2nd field of the above surrounding the 1st field in which the above-mentioned wiring was formed, and the 1st field of the above of a semiconductor substrate. A semiconductor device equipped with the silicon oxide which thickness becomes small gradually and flattening is carried out on the field of the above 3rd as it separates from the 1st field of the above on the field of the above 2nd, and has 50% or more of thickness of the thickness of the above-mentioned wiring smaller than the thickness of the above-mentioned wiring.

[Claim 2] The wiring formation process which forms in parallel two or more wiring which has predetermined thickness on the 1st [ of a semiconductor substrate ] field, The mixed gas which has the gas which contains a silicon atom on the 3rd field of the semiconductor substrate surrounding the 2nd field and 2nd field of the above surrounding the 1st field of the above of a semiconductor substrate, and a hydrogen peroxide is used, and by the chemical-vapor-deposition method Thickness becomes small gradually as it separates from the 1st field of the above on the field of the above 2nd. The manufacture method of a semiconductor device equipped with the oxide-film formation process which forms the silicon oxide which flattening is carried out on the field of the above 3rd, and has 50% or more of thickness of the thickness of the above-mentioned wiring smaller than the thickness of the above-mentioned wiring.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs]

The silicon oxide formed on the pattern which requires this invention for a semiconductor device and its manufacture method, especially is irregular is related with the manufacture method containing the manufacturing process of the semiconductor device by which flattening was carried out, and this silicon oxide by which flattening was carried out.

[0002]

[Description of the Prior Art] Now, various semiconductor devices including a microcomputer, memory, and a gate array are carried in various electric products including the personal computer or the workstation. Two or more elements, such as a transistor, are integrated by the semiconductor substrate in these semiconductor devices. The signal line which connects these elements is multilayered, so that it may surely be said.

Between the element formed in the semiconductor substrate, and the signal line formed in this upper layer, the insulating layer formed on the element insulates and the insulating layer by which between the signal lines further formed in the upper layer rather than this signal line was formed on the lower layer signal line insulates.

Many of insulating layers currently besides formed in the bottom of each of a layer and a lower layer signal line are formed of a silicon oxide, and flat nature is required. Because, the material of a signal line is formed on the whole surface on the silicon oxide which serves as an insulating layer in case a signal line is formed. After applying a resist on it and irradiating light with a mask, Since it is accompanied by the process of the photo lithography of forming a signal line by etching, leaving a resist, using this resist as a mask, and \*\*\*\*\*ing the signal-line material under it only on the pattern of a signal line If a level difference arises in the insulating layer under a signal line, a level difference will arise further also in the signal line on it also at the resist on it. In case light is irradiated, it is because it becomes the cause which the problem which the signal line which the focus shifted, it did not \*\*\*\*\* to a desired pattern but the resist adjoined short-circuits, or a signal line disconnects produces.

[0003] Drawing 16 shows the conventional semiconductor device shown in JP,4-213829,A. The semiconductor wafer with which 1 has a slot 2 on 1 principal plane in drawing, the line by which 3 was formed on the principal plane of the semiconductor wafer 1, The oxide layer by which 4 is formed under a predetermined pressure on the semiconductor wafer with which the slot 2 and the line 3 were formed using the tetraethyl ortho silicate TEOS and ozone O<sub>3</sub>, 5 is an oxide layer formed under a low pressure rather than the predetermined pressure when forming an oxide layer 4 on this oxide layer 4 using the tetraethyl ortho silicate TEOS and ozone O<sub>3</sub>.

[0004] Moreover, if it is indicated that a silicon oxide is formed in JP,59-98726,A using silanes SiH<sub>4</sub> and SiHCl<sub>3</sub> and hydrogen peroxide H<sub>2</sub>O<sub>2</sub> and it forms a silicon oxide in JP,6-349747,A using

the tetraethyl ortho silicate TEOS and hydrogen-peroxide  $\text{H}_2\text{O}_2$ , it is indicated that step coverage is good. Furthermore, if an oxide film is formed in JP,5-182918,A using the tetrapod ethoxy silane ( $\text{OC}_2\text{H}_5$ ) Si 4 of an organic silane system, and hydrogen-peroxide  $\text{H}_2\text{O}_2$ , having become what was further superior to the time of step coverage using not hydrogen-peroxide  $\text{H}_2\text{O}_2$  but ozone  $\text{O}_3$  is indicated. Thus, since the silicon oxide layer formed by the CVD (Chemical Vapor Deposition) method using silicon compounds, such as a silane  $\text{SiH}_4$ , and hydrogen-peroxide  $\text{H}_2\text{O}_2$  can embed between very detailed wiring of 0.25 micrometers or less, is further excellent in a fluidity and shows self-planation by that cause, it attracts attention as the flattening technique of the next-generation layer insulation film which changes to the SOG (Spin On Glass) method currently used from the former. It is introduced to reference Technical digest of IEDM'94 as "NOVEL SELF-PLANARIZINGCVD OXIDE FOR INTERLAYER DIELECTRIC APPLICATIONS", and this is reference Proceedings of DUMIC conference'95. It is introduced as "PLANARISATION FOR SUB-MICRON DEVICES UTILIZING A NEW CHEMISTRY."

[0005]

[Problem(s) to be Solved by the Invention] Since the conventional semiconductor device shown in drawing 16 as mentioned above formed the oxide layer using the tetraethyl ortho silicate TEOS and ozone  $\text{O}_3$ , it had the problem, i.e., the problem that the step coverage of oxide layers 4 and 5 is bad, that the irregularity of the coverage of the oxide layers 4 and 5 of the line 3 neighborhood was large. moreover, it is the same as the height of a line 3 between the periphery portions of the field 6 in which the oxide layer 4 and oxide layer 5 of the thickness almost same on a line 3 are formed in the semiconductor wafer 1 top, and the portion and line 3 on a line 3 are formed for the level difference 7 of the upper surface of an oxide layer 5 -- there was a problem of \*\*\*\*\*

[0006] Next, the result which formed the oxide layer using hydrogen-peroxide  $\text{H}_2\text{O}_2$  is indicated to be a silane  $\text{SiH}_4$  to drawing 17, without using the tetraethyl ortho silicate TEOS and ozone  $\text{O}_3$  in consideration of this trouble. The aluminum wiring with which 11 was formed in the semiconductor substrate and 12 was formed on this semiconductor substrate 11 in drawing 17, the silicon oxide by which 13 was formed on the semiconductor substrate 1 in which this aluminum wiring 12 was formed, and 14 are the silicon oxide layers formed of CVD on this silicon oxide 13 using a silane  $\text{SiH}_4$  and

hydrogen-peroxide  $\text{H}_2\text{O}_2$ . And at the edge of the wiring group formation field 15 in which the aluminum wiring 12 was formed as shown in this drawing 17, compared with the interior of the wiring group formation field 15, the crater of a crevice is large and (poor flattening should happen) with a bird clapper was discovered. [0007] This cause is guessed as follows. first -- a silane --  $\text{SiH}$  -- four -- and -- a hydrogen peroxide --  $\text{H}$  -- two --  $\text{O}$  -- two -- a degree -- a chemical reaction -- viscosity -- low -- a fluidity -- having excelled -- a silanol --  $\text{Si}$  -- ( $\text{OH}$ ) -- four -- generating -- having --  $\text{SiH}_4 + 2\text{H}_2\text{O}_2 \rightarrow \text{Si}(\text{OH})_4 + 2\text{H}_2$  ... (1-1)  $\text{SiH}_4 + 3\text{H}_2\text{O}_2 \rightarrow \text{Si}(\text{OH})_4 + 2\text{H}_2\text{O} + \text{H}$  [ With hydrolysis or heat energy ] 2 ... (1-2)  $\text{SiH}_4 + 4\text{H}_2\text{O}_2 \rightarrow \text{Si}(\text{OH})_4 + 4\text{H}_2\text{O} + 2\text{H}_2$  ... (1-3) This silanol Si 4 (OH) Dehydration polymerization reaction is started and the silicon oxide  $\text{SiO}_2$  is generated as follows.

$n\text{Si}(\text{OH})_4 \rightarrow n\text{SiO}_2 + 2n\text{H}_2\text{O}$  ... the silanol Si (OH) which was excellent in the fluidity with (2) and the generation process of this silicon oxide  $\text{SiO}_2$  -- four The self-flattening property of the embedding during very detailed wiring (outstanding step coverage) having become possible, and having excelled in being generated is realized. However, in the edge of a field 15, it is this silanol (OH) Si 4. A fluid defect occurs and it is thought that the embedding during wiring 12 is insufficient and poor flattening happens.

[0008] It is made in view of the above-mentioned point, the silicon compound and hydrogen-peroxide  $\text{H}_2\text{O}_2$  like a silane  $\text{SiH}_4$  are used also in the edge of a wiring group formation field, and this invention is CVD. Flattening of the insulating layer which consists of a silicon oxide formed by the method aims at acquiring the semiconductor device performed normally and its manufacture method.

[0009]

[Means for Solving the Problem] The semiconductor device concerning the 1st invention is formed in parallel to a 1st [ of a semiconductor substrate ] field top. The 1st field in which two or more wiring which has predetermined thickness, and wiring were formed, It is formed using the mixed gas which has the gas containing a silicon atom, and a hydrogen peroxide on the 3rd field of the semiconductor substrate surrounding the 2nd field of a semiconductor substrate and the 2nd field surrounding the 1st field. On the 2nd field, it becomes small gradually, and on the 3rd field, flattening of the thickness is carried out and it is equipped with the silicon oxide which has 50% or more of thickness of the thickness of wiring smaller than the thickness of wiring as it

separates from the 1st field.

[0010] The wiring formation process that the manufacture method of the semiconductor device concerning the 2nd invention forms in parallel two or more wiring which has predetermined thickness on the 1st [of a semiconductor substrate] field. The mixed gas which has the gas which contains a silicon atom on the 3rd field of the semiconductor substrate surrounding the 2nd field of a semiconductor substrate and the 2nd field surrounding the 1st field, and a hydrogen peroxide is used, and by the chemical-vapor-deposition method On the 2nd field, it becomes small gradually, and on the 3rd field, flattening of the thickness is carried out and it is equipped with the oxide-film formation process which forms the silicon oxide which has 50% or more of thickness of the thickness of wiring smaller than the thickness of wiring as it separates from the 1st field.

[0011]

[Embodiments of the Invention]

The semiconductor device which is the gestalt of implementation of this invention is explained below to gestalt 1. of operation based on drawing 1. drawing -- setting -- 101 the semiconductor substrate which consists of silicon -- it is -- this semiconductor substrate 101 It has the 1st field 101a, the 2nd field 101b, and 3rd field 101c. 102 Semiconductor Substrate 101 of \*\*\*\* Each Which was Formed in Parallel on 1st Field 101a Consists of Aluminum. Two or more wiring which has thickness HA (here 0.5  $\mu\text{m}$ ), 103 This wiring 102 Formed semiconductor substrate 101 A plasma oxidation film with a thickness of 1000Å it is thin from the silicon oxide formed in the whole surface by the plasma CVD (Chemical Vapor Deposition) method, 104 Wiring 102 The 1st formed field 101a, 1st field 101b Semiconductor substrate 101 to surround Semiconductor substrate 101 surrounding the 2nd field 101b and 2nd field 101b The mixed gas which has the silane  $\text{SiH}_4$  which contains a silicon atom on 3rd field 101c, and a hydrogen peroxide  $\text{H}_2\text{O}_2$  is used, and it is CVD. It is formed by the method (chemical-vapor-deposition method). Thickness becomes small gradually as it separates from the 1st field 101a on 2nd field 101b. Flattening is carried out on 3rd field 101c which separated 30 micrometers or more from the 1st field 101a. The silicon oxide and 105 which have 50% or more of thickness HB of the thickness HA of wiring smaller than the thickness HA of wiring Silicon oxide 104 It is the plasma oxidation film formed upwards, and is the plasma oxidation film 103. It is formed on the same conditions or different

conditions.

[0012] Next, the manufacture method of the semiconductor device shown in drawing 1 is explained based on drawing 2 and drawing 3. first, (a) of drawing 2 it is shown -- as -- semiconductor substrate 101 the upper whole surface -- alike -- CVD a method or a spatter -- using -- aluminum layer 111 It forms, and on it, a resist is applied to the whole surface and only a part leaves a resist 112 by photo lithography and etching. Next, (b) of drawing 2 Resist 112 which remained so that it might be shown It is made a mask and is the aluminum layer 111. It is wiring 102 by carrying out anisotropic etching. It forms. After removing a resist, as shown in drawing 3, the temperature of 300 degrees C, pressure 750mTorr, and RF power by 500W They are a silane  $\text{SiH}_4$  and nitrous-oxide  $\text{N}_2\text{O}$  to material gas. Use or the temperature of 400 degrees C, pressure 5Torr, and RF power by 500W It is TEOS (TetraEthOxySilane) to material gas. It reaches, oxygen is used and it is plasma CVD. It is the plasma oxidation film 103 of 1000Å thickness by the method. It forms. Furthermore, it is this plasma oxidation film 103. A silane  $\text{SiH}_4$  and hydrogen-peroxide  $\text{H}_2\text{O}_2$  are used upwards at material gas, and it is CVD. Thickness becomes small gradually as it separates from the 1st field 101a on 2nd field 101b by the method. Flattening is carried out on 3rd field 101c which separated 30 micrometers or more from the 1st field 101a, and it is wiring 102. It is wiring 102 smaller than thickness HA. It is a silicon oxide 104 so that it may have 50% or more of thickness HB of thickness HA. It forms.

[0013] It is a silicon oxide 104 on 3rd field 101c. Thickness IIB is wiring 102. It is wiring 102 smaller than thickness HA. In order to carry out to 50% or more of the thickness HA, it is a silicon oxide 104 beforehand. Membrane formation conditions, for example, time to form membranes, and silicon oxide 104 formed If it asks for the relation of thickness, it is realizable because only this membrane formation time found beforehand forms membranes. This silicon oxide 104 After formation and silicon oxide 104 It is the plasma oxidation film 103 upwards. It is the plasma oxidation film 105 at the same conditions or different conditions. The semiconductor device shown in drawing 1 by forming is formed.

[0014] The artificer of this invention is wiring 102. Silicon oxide 104 of a between Silicon oxide 104 in the point where embedding nature separated from the thickness HA and this circuit pattern aggregate of wiring 102 enough It discovers that it is dependent on Thickness HB, and is a silicon oxide 104. The experiment to which Thickness HB

was changed was conducted. This experimental result is explained based on drawing 4 and drawing 5. (a) of drawing 4 It is membrane formation time 5 It is the cross section of the semiconductor device when considering as between seconds, and can grasp that the poor embedding during wiring 102 has occurred clearly. silicon oxide 104 at this time The thickness HB on the 3rd field, and wiring 102 a ratio with thickness HA -- HB/HA 0.2 it was. (b) of drawing 4 It is wiring 102 with the cross section of the semiconductor device when setting membrane formation time as for 10 seconds. It can grasp that the poor embedding of a between has occurred. silicon oxide 104 at this time The thickness HB on the 3rd field, and wiring 102 a ratio with thickness HA -- HB/HA 0.3 it was. (a) of drawing 5 It is the cross section of the semiconductor device when setting membrane formation time as for 20 seconds, and is wiring 102 in the edge of 1st field 101a. It can grasp that the poor embedding of a between has occurred. silicon oxide 104 at this time The thickness HB on the 3rd field, and wiring 102 a ratio with thickness HA -- HB/HA 0.4 it was. (b) of drawing 5 It is the cross section of the semiconductor device when setting membrane formation time as for 30 seconds, and can grasp embedding being performed good also at the edge of 1st field 101a, and having not generated poor embedding. silicon oxide 104 at this time The thickness HB on the 3rd field, and wiring 102 a ratio with thickness HA -- HB/HA 0.5 it was.

[0015] When membrane formation time is lengthened by the above experiment, it is the wiring 102 of silicon oxide 104a gradually. The circuit pattern dependency of the embedding of a between is wiring 102 in the edge of the circuit pattern aggregate, although it is canceled and step coverage becomes good. Wiring [ in / the interior of the circuit pattern aggregate / in the embedding of a between ] 102 Compared with the embedding of a between, it turns out that it is late. Moreover, a silane SiH<sub>4</sub> and hydrogen peroxide H<sub>2</sub>O<sub>2</sub> are used for material gas, and it is CVD. Silicon oxide 104 formed by the method Silicon oxide 104 in the point which is distant from the pattern aggregate enough in order not to start the poor embedding depending on the pattern but to show sufficient flat nature on various patterns It turns out that it is necessary to make thickness HB into 50% or more of the level difference HA of a pattern.

[0016] At the form 1 of this operation, it is a silicon oxide 104 as mentioned above. It is wiring 102 about the thickness HB in 3rd field 101c. It is wiring 102 by having carried out to 50% or more of the thickness HA. Silicon oxide 104 in 1st formed

field 101a Flattening is performed normally.

[0017] The form 2 of implementation of form 2. of operation, next this invention is explained. the point that the form 2 of this operation differs from the form 1 of operation -- the form 1 of operation -- silicon oxide 104 a silane SiH<sub>4</sub> and hydrogen peroxide H<sub>2</sub>O<sub>2</sub> -- as material gas -- using -- CVD although formed by the method -- the form 2 of this operation -- silicon oxide 104 Disilane Si<sub>2</sub>H<sub>6</sub> hydrogen peroxide H<sub>2</sub>O<sub>2</sub> [ and ] -- as material gas -- using -- CVD It differs at the point currently formed by the method. A disilane The reaction formula at the time of using it Si<sub>2</sub>H<sub>6</sub>+4H<sub>2</sub>O<sub>2</sub> It becomes -->2Si(OH)<sub>4</sub>+4H<sub>2</sub>O+H<sub>2</sub> ... (3-3). -->2Si(OH)<sub>4</sub>+3H<sub>2</sub> ... (3-1) -- Si<sub>2</sub>H<sub>6</sub>+5H<sub>2</sub>O<sub>2</sub> -->2Si -- (OH)<sub>4</sub>+2H<sub>2</sub>O+2H<sub>2</sub> ... (3-2) -- Si<sub>2</sub>H<sub>6</sub>+6H<sub>2</sub>O<sub>2</sub> -- Silanol Si 4 which was excellent in the fluidity first like the case where a silane is used (OH) (2) which it was generated and was described above A silicon oxide is generated by the formula. About the other composition and manufacture methods, it is the same as that of the form 1 of operation.

[0018] It is wiring 102 about the thickness [ in / 3rd field 101c of a silicon oxide 104 / like the form 1 of operation with the form 2 of this operation as mentioned above ] HB. It is wiring 102 by having carried out to 50% or more of the thickness HA. Silicon oxide 104 in 1st formed field 101a Flattening is performed normally.

[0019] The form 3 of implementation of form 3. of operation, next this invention is explained. The point that the form 3 of this operation differs from the form 1 of operation is a silicon oxide 104 at the form 1 of operation. A silane SiH<sub>4</sub> and hydrogen peroxide H<sub>2</sub>O<sub>2</sub> are used as material gas, and it is CVD. Although formed by the method At the form 3 of this operation, it is a silicon oxide 104. The organic silicon compound containing the organic machine (alkyl group) which makes TEOS representation, and hydrogen peroxide H<sub>2</sub>O<sub>2</sub> are used as material gas, and it is CVD. It differs at the point currently formed by the method. the reaction formula at the time of using TEOS -- Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>+4H<sub>2</sub>O<sub>2</sub> -->Si(OH)<sub>4</sub>+X ... (4) X: -- by-products (H<sub>2</sub>O, CO<sub>2</sub>, etc.)

Silanol Si 4 which was excellent in the fluidity first like the case where a next door, a silane, or a disilane is used (OH) (2) which it was generated and was described above A silicon oxide is generated by the formula. About the other composition and manufacture methods, it is the same as that of the form 1 of operation.

[0020] It is wiring 102 about the thickness [ in / 3rd field 101c of a silicon oxide 104 / like the form 1 of operation with the form 3 of this operation as

mentioned above ] HB. It is wiring 102 by having carried out to 50% or more of the thickness HA. Silicon oxide 104 in 1st formed field 101a Flattening is performed normally.

[0021] The form 4 of implementation of form 4. of operation, next this invention is explained based on drawing 15 from drawing 6. Drawing 6 is the block diagram of DRAM (Dynamic Random Access Memory) by which this invention is carried out. In drawing, 1100 receives the power supply potential VCC (for example, 3.3V), and it is this power supply potential VCC. High pressure-up potential VPP The pressure-up potential generating circuit to output, 1110 is row address strobe signal ext/RAS from the outside. The /RAS buffer which receives and outputs an internal row address strobe signal /RAS, 1120 receives the address signal Ai from the internal row address strobe signal /RAS, and the outside from this /RAS buffer. The line address buffer which will incorporate an address signal Ai as a row address, and will output RAI/RAi if /RAS falls to L level, 1130 receives the row addresses RAI/RAi from the line address buffer 1120. The line pulley decoder which outputs the line pulley decoding signal Xi according to these row addresses RAI/RAi, 1140 is the pressure-up potential VPP from the pressure-up potential generating circuit 1100. It receives and operates. A part of row addresses RAI/RAi from the line address buffer 1120 are received. Word line driving signal RXm according to this The line sub decoder to output and 1150 are the block selection signal BSn receive a part of row addresses RAI/RAi from the line address buffer 1120, and corresponding to this. It is the block selection circuitry to output.

[0022] 1160 is the line pulley decoding signal Xi from the line pulley decoder 1130, and the word line driving signal RXm from a line sub decoder. And block selection signal BSn from the block selection circuitry 1150 It is the pressure-up potential VPP alternatively about the potential WL of the word line receive and corresponding to these signals among two or more word lines. It is the line decoder to start. 1170 is column address strobe ext/CAS from the outside. The /CAS buffer which receives and outputs an internal column address strobe /CAS, 1180 receives the address signal Ai from the internal column address strobe /CAS, and the outside from this /CAS buffer 1170. The train address buffer which will incorporate an address signal Ai as the column address, and will output CAi/CAi if /CAS falls to L level, 1190 receives the column addresses CAi/CAi from the train address buffer 1180. The train pulley decoder which outputs the train pulley decoding

signal Yi according to these column addresses CAi/CAi, 1200 is the potential CSL of the column selection line receive the train pulley decoding signal Yi from this train pulley decoder 1190, and corresponding to this train pulley decoding signal Yi among two or more column selection lines. It is the train decoder alternatively started on H level (VCC).

[0023] Two or more word lines connected to the memory cell which 1210 was prepared corresponding to two or more memory cells prepared in a multi-line and two or more trains, and each line, and was prepared in the corresponding line, The memory cell array which is prepared corresponding to each train and has two or more bit line pairs connected to the memory cell prepared in the corresponding train, 1220 is the bit line pair of the train corresponding to the column selection line chosen by the sense amplifier and the train decoder 1200 which are connected to each bit line pair and carry out detection amplification of the read-out potential difference between the bit lines in the connected bit line pair I/O I/O for connecting with a line pair Gate circuit, 1230 is a write enable signal /WE. It receives and is this write enable signal /WE. If it is L level Data Din inputted from the outside I/O It writes in the memory cell located in the address according to the address signal through a line pair. A write enable signal /WE It is I/O that it is H level. It is the input output buffer which outputs as Dout the data read to the line to the exterior.

[0024] Drawing 7 is 1 among 16 blocks which is the block diagram showing a part of memory cell array 1210 shown in drawing 6, and its circumference circuit, and constitutes memory 1 of four memory mats of the memory cell array 1210. The block is shown. It is the memory cell in which MCxy has n channel MOS transistor 1211 and a capacitor 1212 in drawing 2, respectively. each memory cell MCxy -- a word line 1213 and bit line 1214a And 1214b It is prepared corresponding to the intersection of 1214. from -- the becoming bit line pair -- The n channel MOS transistor 1211 in this memory cell MCxy makes the gate a part of word line 1213. one electrode of a capacitor 1212, and bit line 1214a Or 1214b Potential VCC in the middle of [ connect in between and ] the power supply potential VCC in the electrode of another side of a capacitor 1212 (1/2) it is -- cell plate potential VCP It is given.

[0025] For 1161, each is the 16 block selection signals BS0-BS15 corresponding to each block. One block selection signal BS 0 It receives. This block selection signal BS 0 If set to H level (activity), it is the row address signal RAI. 3 which

is based and by which one of four is made H level (activity) Low pulley decoding signal X0-X3, X4-X7, X8-X11, and the row address signal RAi of a group Word line driving-signal RX0-RX3 from which it is alike, and it is based and one of four becomes the pressure-up potential VPP (activity) 1 which responded It is the word line 1213 of a book 256 It is the pressure-up potential VPP alternatively out of the word line 1213 of a book. It is a line decoder corresponding to each block to start.

[0026] 1200 is column pulley decoding signal Y0-Y3, Y4-Y7, Y8-Y11, Y12-Y15, and the train decoder that makes one of 1024 column selection lines 1201 H level (activity) according to Y16-Y19, and is shared by 16 blocks. 1221 is bit line 1214a in the bit line pair 1214. 1214b It connects in between. These bit lines 1214a and 1214b The sense amplifier which carries out detection amplification of the potential difference of a between, 222 Each is the bit line pair 214. I/O It connects between line pairs 1223. The bit line pair 1214 and I/O which correspond that the column selection signal CSLi from the corresponding column selection line 1201 of a train is received, and this column selection signal CSLi is H level I/O which makes it flow through a line 1223 At the gate each -- bit line 1214a I/O Line 1223a N channel MOS transistor 1222a by which connects in between and the gate is connected to the column selection line 1201 Bit line 1214b I/O Line 1223b N channel MOS transistor 1222b by which connects in between and the gate is connected to the column selection line 1201 It has.

[0027] Drawing 8 is VIII-VIII when forming in a semiconductor substrate the circuit containing the memory cell MCxy shown in drawing 7. It is the cross section having shown the cross section of the circumference circuit of the memory cell arrays 1210, such as the cross section and the line decoder 1161 in a field, and a sense amplifier 1211, collectively. The field in which the circumference circuit was formed has separated 30 micrometers from the field of the memory cell array 1210. It sets to drawing 8 and is 501. p The semiconductor substrate which consists of silicon of type, and 502 It is formed in the semiconductor substrate 501. Semiconductor substrate 501 High p of high impurity concentration The well of type, and 503 Semiconductor substrate 501 Formed n The well of type, 504 Semiconductor substrate 501 It is formed in a principal plane and is this semiconductor substrate 501. Formed MOS The isolation field which consists of an insulator (the form of this operation silicon oxide) for separating between transistors, 505 p Type well 502 Formed

n Channel MOS It is a transistor. n [ in / a memory cell MC 00 / in the left-hand side of drawing ] Channel MOS n / in / a memory cell MC 10 / it is equivalent to a transistor 1211 and / in right-hand side ] Channel MOS It is equivalent to a transistor 1211. And this n Channel MOS transistor 505 p Type well 502 Formed n One source / drain 505a of type, p Type well 502 The source / drain 505b of n type another side which was isolated with one source / drain 505a, and was formed, It has gate electrode 505e countered and formed in channel field 505c which reached on the other hand and was inserted by the source / drains 505a and 505b of another side through 505d of gate insulator layers. For this two gates electrode 505e, it is arranged in parallel and each is the word line potentials WL0 and WL1. It consists of a part of corresponding word line 1213.

[0028] 506 n in the memory cell MC 20 \*\*\*\*\* is not indicated to be to this view 8 like gate electrode 505e Channel MOS It becomes the gate electrode of a transistor 1211 and is the word line potential WL2. n [ in / a memory cell MC 20 / at the corresponding word line 1213 ] Channel MOS The gate insulator layer of a transistor 1211, and becoming insulator layer 507 It is formed upwards. 508 Insulator layer 508 which serves as a gate electrode of the dummy memory cell by which the part is not illustrated, or a spare memory cell by the spare word line for replacing with the poor line of the dummy word line for canceling the noise of the bit line generated when the potential of a word line which is not shown is started to \*\*\*\*\*7, or a memory cell array, and turns into a gate insulator layer of a dummy memory cell or a spare memory cell It is formed upwards. 510 It is the sidewall insulator layer which consists of a silicon oxide formed in the \*\* gate electrode or the side attachment wall of word lines 505e and 506,508.

[0029] 511 N Which Forms \*\*\*\*\* Circuit Channel MOS With Transistor p Type well 502 While consists of low n type field 511b of high impurity concentration rather than formed n+ type field 511a and this n+ type field 511a. with the source / drain 511c p Type well 502 n with high impurity concentration it is isolated with one source / drain 511c, is formed, and lower than 511d of n+ type field, and 511d of this n+ type field The source / drain 511f of another side which consists of type field 511e. It has gate electrode 511i countered and formed in 511g of channel fields across which reached on the other hand and it faced with the source / drains 511c and 511f of another side through 511h of gate insulator layers. 512 P Which Forms \*\*\*\*\* Circuit Channel MOS With Transistor n Type well 503 One | which was



formed] p+ type source / drain 512a, p Type well 502 It is isolated with one source / drain 512a, and is formed. The source / drain 512b of p+ type another side, It has gate electrode 512e countered and formed in channel field 512c which reached on the other hand and was inserted by the source / drains 512a and 512b of another side through 512d of gate insulator layers.

[0030] 513 It is the sidewall insulator layer which consists of a silicon oxide formed in the side attachment wall of the \*\* gate electrodes 511i and 512e. 514 BPSG Formed all over Field in which \*\* Memory Cell Array 1210 is Formed, and Formation Field of Circumference Circuit (Boro-Phospho Silicate Glass) Layer Insulation Film Which Consists of a Film, 515 Layer insulation film 514 Contact hole 516 by which opening was carried out n which minds and constitutes a memory cell Channel MOS Transistor 505 It is the bit line connected to the source / drain 505b of another side. n which contacts the source / drain 505b of another side directly It consists of contest polysilicon of type (Poly-Si). from -- becoming connection part 515a and this bit line 515 It has low resistance partial 515b which consists of aluminum (aluminum) for lowering resistance. Bit line 1214a in drawing 7 It corresponds.

[0031] 517 BPSG formed all over the field in which the \*\* memory cell array 1210 is formed, and the formation field of a circumference circuit (Boro-Phospho Silicate Glass) The layer insulation film which consists of a film, and 518 It is a capacitor, and the left-hand side of drawing is equivalent to the capacitor 1212 of the memory cell MC 00 in drawing 7, and right-hand side is equivalent to the capacitor 1212 in a memory cell MC 10. This capacitor 518 Layer insulation film 514 And 517 Contact hole 519 by which opening was carried out It minds and is n. Channel MOS Transistor 505 It connects with one source / drain 505a. n from contest polysilicon of type -- becoming -- layer insulation film 517 it has in a top the shape of a cylindrical shape (it is similar to the body of revolution centering on the contact hole 519 of the cross-section configuration of 518a shown in drawing) -- with electrode 518a on the other hand Dielectric film 518b for capacitors which consists of a cascade screen of this silicon oxide formed on electrode 518a on the other hand, and a silicon nitride, It is formed on this dielectric film 518b for capacitors, consists of aluminum, and is the cell plate potential VCP. It is given and is a capacitor 518. It has cell plate 518c used as an another side electrode.

[0032] 520 Capacitor 518 in a \*\* memory cell On

the other hand, it is formed in the same layer as electrode 518a, and is n. While consisting of contest polysilicon of type, it is the layer insulation film 514. And 517 Contact hole 521 by which opening was carried out It minds and is n of a circumference circuit. Channel MOS Transistor 511 It is the contact pad connected to one source / drain 511c. 522 BPSG Formed all over Field in which \*\* Memory Cell Array 1210 is Formed, and Formation Field of Circumference Circuit (Boro-Phospho Silicate Glass) Layer Insulation Film Which Consists of a Film, 523 In parallel to word lines 505e and 506,508, it is prepared in parallel to each other. It is the shunt word line which is connected to every predetermined interval (for example, 128 bit line pairs) at word lines 505e and 506,508 although not illustrated, consists of aluminum for attaining low resistance-ization of a word line, and has the thickness of HA.

[0033] 524 \*\* Shunt Word Line 523 Memory Cell Array Field 525 in which Formed Memory Cell Array 1210 was Formed, The field in which this memory cell array 1210 was formed Border area 526 with width of face of 30 micrometers or more to surround And circumference circuit field 527 in which a circumference circuit is formed Included semiconductor substrate 501 The mixed gas which has the silane SiH4 containing a silicon atom and a hydrogen peroxide H2O2 is used for the whole surface, and it is CVD. By the method (chemical-vapor-deposition method) it forms -- having -- border area 526 a top -- memory cell array field 525 It is alike, and follow and thickness becomes small gradually. from -- it separates -- Memory cell array field 525 Circumference circuit field 527 distant [ 30 micrometers or more of shells ] Flattening is carried out in a top and it is the shunt word line 523. It is the shunt word line 523 smaller than thickness HA. It is the silicon oxide which has 50% or more of thickness HB of thickness HA. 528 supplies the grounding potential GND to one source / drain 511c of this silicon oxide 524. It is a power supply line for being formed upwards, consisting of aluminum and supplying the grounding potential GND, and is a silicon oxide 524. And layer insulation film 522 Contact hole 529 by which opening was carried out It minds and is the contact pad 520. It connects and is this contact pad 520. It minds and is n of a circumference circuit. Channel MOS Transistor 511

[0034] Thus, power supply line 528 Direct [ n ] Channel MOS Transistor 511 It is the contact pad 520, without connecting with one source / drain 511c. Mind and by connecting Layer insulation

## 【特許請求の範囲】

【請求項1】 半導体基板の第1の領域上に並行して形成され、所定の厚さを有する複数の配線、および上記配線が形成された第1の領域、上記第1の領域を囲む半導体基板の第2の領域および上記第2の領域を囲む半導体基板の第3の領域の上にシリコン原子を含有するガスと過酸化水素とを有する混合ガスを用いて形成され、上記第2の領域上では上記第1の領域から離れるにしたがって膜厚がしだいに小さくなり、上記第3の領域上では平坦化され、上記配線の厚さよりも小さく上記配線の厚さの50%以上の膜厚を有するシリコン酸化膜を備える半導体装置。

【請求項2】 半導体基板の第1の領域上に所定の厚さを有する複数の配線を並行して形成する配線形成工程、および上記第1の領域を囲む半導体基板の第2の領域および上記第2の領域を囲む半導体基板の第3の領域の上にシリコン原子を含有するガスと過酸化水素とを有する混合ガスを用いて化学気相成長法により、上記第2の領域上では上記第1の領域から離れるにしたがって膜厚がしだいに小さくなり、上記第3の領域上では平坦化され、上記配線の厚さよりも小さく上記配線の厚さの50%以上の膜厚を有するシリコン酸化膜を形成する酸化膜形成工程を備える半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は半導体装置およびその製造方法に係り、特に凹凸のあるパターン上に形成されるシリコン酸化膜が平坦化された半導体装置およびこの平坦化されたシリコン酸化膜の製造工程を含む製造方法に関する。

## 【0002】

【従来の技術】 現在、パーソナルコンピュータやワークステーションを始めさまざまな電気製品にマイコン、メモリ、ゲートアレイを始めとした種々の半導体装置が搭載されている。これら半導体装置内にはトランジスタなどの複数の素子が半導体基板に集積化されており、これらの素子を結ぶ信号線は必ずといっていいほど多層化されており、半導体基板に形成された素子とこの上層に形成される信号線との間は素子上に形成された絶縁層によって絶縁され、この信号線よりもさらに上層に形成される信号線との間も下層の信号線上に形成された絶縁層によって絶縁されている。この上層および下層の信号線のそれぞれの下に形成されている絶縁層の多くはシリコン酸化膜によって形成され、平坦性が要求される。なぜならば、信号線を形成する際に絶縁層となるシリコン酸化膜上に信号線の材料を全面に形成し、その上にレジストを塗布してマスクを伴って光を照射した後、エッチングを行い信号線のパターン上にだけレジストを残してこのレジストをマスクにしてその下の信号線材料をエッチングすることで信号線を形成するというフォトリソグラフ

イーの工程を伴っているもので、信号線下の絶縁層に段差が生じればその上の信号線にもさらにその上のレジストにも段差が生じ、光を照射する際に焦点がずれてレジストが所望のパターンにエッチングされず、隣接した信号線がショートしたり、信号線が断線したりする問題が生じる原因となるためである。

【0003】 図16は例えば特開平4-213829号公報に示された従来の半導体装置を示しており、図において1は一主面上に溝2を有する半導体ウェハ、3は半導体ウェハ1の主面上に形成された線、4は溝2および線3が形成された半導体ウェハ上にテトラエチルオルトシリケートTEOSおよびオゾン $O_3$ を使用して所定の圧力下で形成される酸化物層、5はこの酸化物層4上にテトラエチルオルトシリケートTEOSおよびオゾン $O_3$ を使用して酸化物層4を形成した時の所定の圧力よりも低い圧力下で形成される酸化物層である。

【0004】 また、特開昭59-98726号公報にはシラン $SiH_4$ 、 $SiHCl_3$ と過酸化水素 $H_2O_2$ を使用してシリコン酸化膜が形成される事が開示されており、特開平6-349747号公報にはテトラエチルオルトシリケートTEOSおよび過酸化水素 $H_2O_2$ を使用してシリコン酸化膜を形成するとステップカバレッジが良好であることが開示されている。さらに、特開平5-182918号公報には有機シラン系のテトラエトキシシラン $Si(OC_2H_5)_4$ および過酸化水素 $H_2O_2$ を使用して酸化膜を形成するとステップカバレッジが過酸化水素 $H_2O_2$ でなくオゾン $O_3$ を用いたときよりもさらに優れたものとなった事が開示されている。このようにシラン $SiH_4$ などのシリコン化合物および過酸化水素 $H_2O_2$ を使用してCVD(Chemical Vapor Deposition)法により形成したシリコン酸化物層は0.25 $\mu m$ 以下の極微細な配線間を埋め込む事が可能であり、さらに流動性に優れ、それにより自己平坦化作用を示すことから、従来から使用されていたSUG(Spin On Glass)法等に変わる次世代層間絶縁膜の平坦化手法として注目されている。これは文献Technical digest of IEDM '94に"NOVEL SELF-PLANARIZING CVD OXIDE FOR INTERLAYER DIELECTRIC APPLICATIONS"として紹介されており、また、文献Proceedings of DUMIC conference '95にも"PLANARISATION FOR SUB-MICRON DEVICES UTILIZING A NEW CHEMISTRY"として紹介されている。

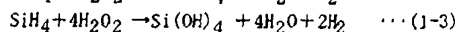
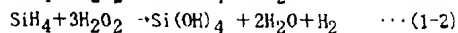
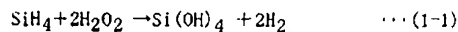
## 【0005】

【発明が解決しようとする課題】 以上のように図16に示された従来の半導体装置はテトラエチルオルトシリケートTEOSおよびオゾン $O_3$ を用いて酸化物層を形成するので、線3付近の酸化物層4および5のカバレッジの凹凸が大きいという問題、つまり酸化物層4および5のステップカバレッジが悪いという問題があった。また、半導体ウェハ1の上と線3の上にほぼ同じ厚さの酸化物層4および酸化物層5が形成され、酸化物層5の上面の段差が線3上の部分と線3が形成されている領域6の外周部分との間で

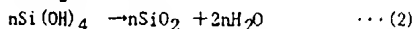
線3の高さと同じだけ生じるという問題があった。

【0006】次に、この問題点を考慮してテトラエチルオルトシリケートTEOSおよびオゾン $O_3$ を使用せずにシラン $SiH_4$ と過酸化水素 $H_2O_2$ を使用して酸化物層を形成してみた結果を図17に示す。図17において11は半導体基板、12はこの半導体基板11上に形成されたアルミニウム配線、13はこのアルミニウム配線12が形成された半導体基板11上に形成されたシリコン酸化膜、14はこのシリコン酸化膜13上にシラン $SiH_4$ と過酸化水素 $H_2O_2$ を使用してCVD法により形成されたシリコン酸化物層である。そして、この図17に示したようにアルミニウム配線12が形成された配線群形成領域15の端部では配線群形成領域15の内部に比べて凹部のへこみが大きくなること（平坦化不良が起ること）が発見された。

【0007】この原因は次のように推測される。まず、シラン $SiH_4$ および過酸化水素 $H_2O_2$ が次の化学反応により粘性が低く流動性に優れたシラノール $Si(OH)_4$ が生成され、



このシラノール $Si(OH)_4$ が加水分解あるいは熱エネルギーにより脱水重合反応をおこし次のようにシリコン酸化物 $SiO_2$ が生成される。



そして、このシリコン酸化物 $SiO_2$ の生成過程で流動性に優れたシラノール $Si(OH)_4$ が生成されることで極微細な配線間の埋め込み（優れたステップカバレッジ）が可能となり、優れた自己平坦化特性が実現されている。しかし、領域15の端部ではこのシラノール $Si(OH)_4$ の流動性不良が発生し、配線12間の埋め込みが不足して平坦化不良が起ることと考えられる。

【0008】この発明は上記した点に鑑みてなされたものであり、配線群形成領域の端部においても、シラン $SiH_4$ のようなシリコン化合物および過酸化水素 $H_2O_2$ を使用してCVD法により形成されたシリコン酸化物からなる絶縁層の平坦化が正常に行われた半導体装置およびその製造方法を得ることを目的としている。

【0009】

【課題を解決するための手段】第1の発明に係る半導体装置は、半導体基板の第1の領域上に並行して形成され、所定の厚さを有する複数の配線、および配線が形成された第1の領域、第1の領域を囲む半導体基板の第2の領域および第2の領域を囲む半導体基板の第3の領域の上にシリコン原子を含有するガスと過酸化水素とを有する混合ガスをを用いて形成され、第2の領域上では第1の領域から離れるにしたがって膜厚がしだいに小さくなり、第3の領域上では平坦化され、配線の厚さよりも小さく配線の厚さの50%以上の膜厚を有するシリコン酸化膜を備えるものである。

【0010】第2の発明に係る半導体装置の製造方法は、半導体基板の第1の領域上に所定の厚さを有する複数の配線を並行して形成する配線形成工程、および第1の領域を囲む半導体基板の第2の領域および第2の領域を囲む半導体基板の第3の領域の上にシリコン原子を含有するガスと過酸化水素とを有する混合ガスをを用いて化学気相成長法により、第2の領域上では第1の領域から離れるにしたがって膜厚がしだいに小さくなり、第3の領域上では平坦化され、配線の厚さよりも小さく配線の厚さの50%以上の膜厚を有するシリコン酸化膜を形成する酸化膜形成工程を備えるものである。

【0011】

【発明の実施の形態】

実施の形態1. 以下にこの発明の実施の形態である半導体装置について、図1に基づいて説明する。図において101はシリコンからなる半導体基板で、この半導体基板101は第1の領域101a、第2の領域101bおよび第3の領域101cを有している。102はこの半導体基板101の第1の領域101a上に並列に形成されたそれぞれがアルミニウムからなり、厚さHA（ここでは $0.5\mu m$ ）を有する複数の配線、103はこの配線102が形成された半導体基板101の全面にプラズマCVD（Chemical Vapor Deposition）法により形成されたシリコン酸化物からなる厚さ1000Åのプラズマ酸化膜、104は配線102が形成された第1の領域101a、第1の領域101bを囲む半導体基板101の第2の領域101bおよび第2の領域101bを囲む半導体基板101の第3の領域101cの上にシリコン原子を含有するシラン $SiH_4$ と過酸化水素 $H_2O_2$ とを有する混合ガスをを用いてCVD法（化学気相成長法）により形成され、第2の領域101b上では第1の領域101aから離れるにしたがって膜厚がしだいに小さくなり、第1の領域101aから $30\mu m$ 以上離れた第3の領域101c上では平坦化され、配線の厚さHAよりも小さく配線の厚さHAの50%以上の膜厚HBを有するシリコン酸化膜、105はシリコン酸化膜104上に形成されたプラズマ酸化膜で、プラズマ酸化膜103と同じ条件または異なる条件で形成されている。

【0012】次に図1に示された半導体装置の製造方法について、図2および図3に基づいて説明する。まず、図2の(a)に示すように半導体基板101上の全面にCVD法またはスパッタ法を用いてアルミニウム層111を形成し、その上にレジストを全面に塗布してフォトリソグラフィおよびエッチングにより一部だけレジスト112を残す。次に、図2の(b)に示すように残ったレジスト112をマスクにしてアルミニウム層111を異方性エッチングすることにより配線102を形成し、レジストを除去した後、図3に示すように温度 $300^\circ C$ 、圧力 $750mTorr$ 、高周波パワーが $500W$ で、原料ガスにシラン $SiH_4$ と亜酸化窒素 $N_2O$ を用いるか、または温度 $400^\circ C$ 、圧力 $5Torr$ 、高周波パワーが $500W$ で、原料ガスにTEOS（TetraEthOxySilane）および酸素を用いてプラズマCVD法により $1000\text{\AA}$

の膜厚のプラズマ酸化膜103を形成し、さらにこのプラズマ酸化膜103上に原料ガスにシラン $\text{SiH}_4$ および過酸化水素 $\text{H}_2\text{O}_2$ を用いてCVD法により第2の領域101b上では第1の領域101aから離れるにしたがって膜厚がしだいに小さくなり、第1の領域101aから30 $\mu\text{m}$ 以上離れた第3の領域101c上では平坦化され、配線102の厚さHAよりも小さく配線102の厚さHAの50%以上の膜厚HBを有するようにシリコン酸化膜104を形成する。

【0013】第3の領域101c上でシリコン酸化膜104の膜厚HBが配線102の厚さHAよりも小さく配線102の厚さHAの50%以上とするには、あらかじめシリコン酸化膜104の成膜条件、例えば成膜する時間と形成されるシリコン酸化膜104の厚さの関係を求めておけば、このあらかじめ求めておいた成膜時間だけ成膜を行うことで実現できる。このシリコン酸化膜104の形成後、シリコン酸化膜104上にプラズマ酸化膜103と同一条件または異なる条件でプラズマ酸化膜105を形成することで図1に示される半導体装置が形成される。

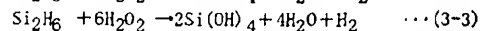
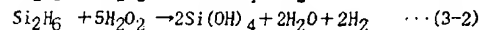
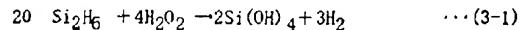
【0014】この発明の発明者は配線102間のシリコン酸化膜104の埋め込み性が配線102の厚さHAとこの配線パターン集合体から十分離れた地点におけるシリコン酸化膜104の膜厚HBに依存することを発見し、シリコン酸化膜104の膜厚HBを変化させた実験を行った。この実験結果について図4および図5に基づき説明する。図4の(a)は成膜時間を5秒間としたときの半導体装置の断面図で、明らかに配線102間の埋め込み不良が発生していることが見て取れる。この時のシリコン酸化膜104の第3の領域上の厚さHBと配線102の厚さHAとの比HB/HAは0.2であった。図4の(b)は成膜時間を10秒間としたときの半導体装置の断面図で配線102間の埋め込み不良が発生していることが見て取れる。この時のシリコン酸化膜104の第3の領域上の厚さHBと配線102の厚さHAとの比HB/HAは0.3であった。図5の(a)は成膜時間を20秒間としたときの半導体装置の断面図で、第1の領域101aの端部で配線102間の埋め込み不良が発生していることが見て取れる。この時のシリコン酸化膜104の第3の領域上の厚さHBと配線102の厚さHAとの比HB/HAは0.4であった。図5の(b)は成膜時間を30秒間としたときの半導体装置の断面図で、埋め込みは第1の領域101aの端部でも良好に行われていて埋め込み不良は発生していないことが見て取れる。この時のシリコン酸化膜104の第3の領域上の厚さHBと配線102の厚さHAとの比HB/HAは0.5であった。

【0015】以上の実験により成膜時間を長くしていくとしだいにシリコン酸化膜104aの配線102間の埋め込みの配線パターン依存性は解消されステップカバレージが良くなるが、配線パターン集合体の端部では配線102間の埋め込みが配線パターン集合体の内部における配線102間の埋め込みに比べて遅いことがわかる。また、原料ガスにシラン $\text{SiH}_4$ および過酸化水素 $\text{H}_2\text{O}_2$ を用いてCVD法

により形成したシリコン酸化膜104がパターンに依存した埋め込み不良を起こさず様々なパターン上で十分な平坦性を示すためには、パターン集合体から十分離れた地点におけるシリコン酸化膜104の膜厚HBをパターンの段差HAの50%以上にする必要があることがわかる。

【0016】以上のようにこの実施の形態1ではシリコン酸化膜104の第3の領域101cにおける膜厚HBを配線102の厚さHAの50%以上にしたことにより配線102が形成された第1の領域101aにおけるシリコン酸化膜104の平坦化が正常に行われる。

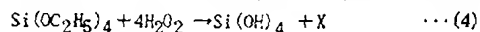
【0017】実施の形態2. 次にこの発明の実施の形態2について説明する。この実施の形態2が実施の形態1と異なる点は、実施の形態1ではシリコン酸化膜104をシラン $\text{SiH}_4$ および過酸化水素 $\text{H}_2\text{O}_2$ を原料ガスとして用いてCVD法により形成していたが、この実施の形態2ではシリコン酸化膜104をジシラン $\text{Si}_2\text{H}_6$ および過酸化水素 $\text{H}_2\text{O}_2$ を原料ガスとして用いてCVD法により形成している点で異なっている。ジシランを使用した場合の化学反応式は



となり、シランを用いた場合と同様にまず流動性に優れたシラノール $\text{Si}(\text{OH})_4$ が生成され、上記した(2)式によりシリコン酸化物が生成される。その他の構成および製造方法については実施の形態1と同様である。

【0018】以上のようにこの実施の形態2でも実施の形態1と同様にシリコン酸化膜104の第3の領域101cにおける膜厚HBを配線102の厚さHAの50%以上にしたことにより配線102が形成された第1の領域101aにおけるシリコン酸化膜104の平坦化が正常に行われる。

【0019】実施の形態3. 次にこの発明の実施の形態3について説明する。この実施の形態3が実施の形態1と異なる点は、実施の形態1ではシリコン酸化膜104をシラン $\text{SiH}_4$ および過酸化水素 $\text{H}_2\text{O}_2$ を原料ガスとして用いてCVD法により形成していたが、この実施の形態3ではシリコン酸化膜104をTEOSを代表とする有機基(アルキル基)を含有する有機シリコン化合物および過酸化水素 $\text{H}_2\text{O}_2$ を原料ガスとして用いてCVD法により形成している点で異なっている。TEOSを使用した場合の化学反応式は



X:副生成物( $\text{H}_2\text{O}$ ,  $\text{CO}_2$ など)

となり、シランまたはジシランを用いた場合と同様にまず流動性に優れたシラノール $\text{Si}(\text{OH})_4$ が生成され、上記した(2)式によりシリコン酸化物が生成される。その他の構成および製造方法については実施の形態1と同様である。

【0020】以上のようにこの実施の形態3でも実施の形態1と同様にシリコン酸化膜104の第3の領域101cにおける膜厚HBを配線102の厚さHAの50%以上にしたこと

により配線102が形成された第1の領域101aにおけるシリコン酸化膜104の平坦化が正常に行われる。

【0021】実施の形態4、次にこの発明の実施の形態4について図6から図15に基づいて説明する。図6はこの発明が実施されるDRAM(Dynamic Random Access Memory)のブロック図で、図において1100は電源電位VCC

(例えば3.3V)を受けてこの電源電位VCCよりも高い昇圧電位VPPを出力する昇圧電位発生回路、1110は外部からのロウアドレスストロブ信号ext/RASを受けて内部ロウアドレスストロブ信号/RASを出力する/RASバッファ、1120はこの/RASバッファからの内部ロウアドレスストロブ信号/RASおよび外部からのアドレス信号Aiを受け、/RASがLレベルに立ち下るとアドレス信号Aiをロウアドレスとして取り込みRAi、/RAiを出力する行アドレスバッファ、1130は行アドレスバッファ1120からのロウアドレスRAi、/RAiを受け、このロウアドレスRAi、/RAiに応じた行ブリデコード信号Xiを出力する行ブリデコード、1140は昇圧電位発生回路1100からの昇圧電位VPPを受けて動作し、行アドレスバッファ1120からのロウアドレスRAi、/RAiの一部を受け、これに応じたワード線駆動信号RXmを出力する行サブデコード、1150は行アドレスバッファ1120からのロウアドレスRAi、/RAiの一部を受け、これに応じたブロック選択信号BSnを出力するブロック選択回路である。

【0022】1160は行ブリデコード1130からの行ブリデコード信号Xi、行サブデコードからのワード線駆動信号RXmおよびブロック選択回路1150からのブロック選択信号BSnを受け、複数のワード線のうちこれらの信号に応じたワード線の電位をを選択的に昇圧電位VPPに立ち上げる行デコードである。1170は外部からのコラムアドレスストロブ信号ext/CASを受けて内部コラムアドレスストロブ信号/CASを出力する/CASバッファ、1180はこの/CASバッファ1170からの内部コラムアドレスストロブ信号/CASおよび外部からのアドレス信号Aiを受け、/CASがLレベルに立ち下るとアドレス信号Aiをコラムアドレスとして取り込みCAi、/CAiを出力する列アドレスバッファ、1190は列アドレスバッファ1180からのコラムアドレスCAi、/CAiを受け、このコラムアドレスCAi、/CAiに応じた列ブリデコード信号Yiを出力する列ブリデコード、1200はこの列ブリデコード1190からの列ブリデコード信号Yiを受け、複数のコラム選択線のうちこの列ブリデコード信号Yiに応じたコラム選択線の電位CSLを選択的にHレベル(VCC)に立ち上げる列デコードである。

【0023】1210は複数行および複数列に設けられた複数のメモリセルと、各行に対応して設けられ、対応した行に設けられたメモリセルに接続される複数のワード線と、各列に対応して設けられ、対応した列に設けられたメモリセルに接続される複数のビット線対とを有するメモリセルアレイ、1220は各ビット線対に接続され、接続されたビット線対におけるビット線間の読み出し電位差

を検知増幅するセンスアンプおよび列デコード1200により選択されたコラム選択線に対応した列のビット線対をI/O線対に接続するためのI/Oゲート回路、1230はライトイネーブル信号/WEを受け、このライトイネーブル信号/WEがLレベルであると、外部から入力されたデータDinをI/O線対を介してアドレス信号に応じたアドレスに位置するメモリセルに書き込み、ライトイネーブル信号/WEがHレベルであるとI/O線に読み出されたデータを外部へDoutとして出力する入出力バッファである。

【0024】図7は図6に示されたメモリセルアレイ1210およびその周辺回路の一部を示すブロック図であり、メモリセルアレイ1210の4つのメモリマットのうちの1つのメモリマットを構成する16個のブロックのうち1ブロックを示している。図2においてMCxyはそれぞれがnチャネルMOSトランジスタ1211とキャパシタ1212を有するメモリセルで、各メモリセルMCxyはワード線1213とビット線1214aおよび1214bからなるビット線対1214との交点に対応して設けられ、このメモリセルMCxyにおけるnチャネルMOSトランジスタ1211はワード線1213の一部をゲートとし、キャパシタ1212の一方の電極とビット線1214aまたは1214bとの間に接続され、キャパシタ1212の他方の電極は電源電位VCCの中間の電位(1/2)VCCであるセルプレート電位VCPと与えられる。

【0025】1161はそれぞれが各ブロックに対応する16個のブロック選択信号BS0~BS15のうちの1つのブロック選択信号BS0を受け、このブロック選択信号BS0がHレベル(活性)となるとロウアドレス信号RAiに基づいて4つのうち1つがHレベル(活性)にされる3組のロウブリデコード信号X0-X3、X4-X7、X8-X11およびロウアドレス信号RAiに基づいて4つのうち1つが昇圧電位VPP(活性)となるワード線駆動信号RX0-RX3に応じた1本のワード線1213を256本のワード線1213の中から選択的に昇圧電位VPPに立ち上げる各ブロックに対応した行デコードである。

【0026】1200はコラムブリデコード信号Y0-Y3、Y4-Y7、Y8-Y11、Y12-Y15、Y16-Y19に応じて1024本のコラム選択線1201のうち1本をHレベル(活性)にする列デコードで、16個のブロックで共有されている。1221はビット線対1214におけるビット線1214aと1214bとの間に接続され、このビット線1214a、1214b間の電位差を検知増幅するセンスアンプ、222はそれぞれがビット線対214とI/O線対1223との間に接続され、対応する列のコラム選択線1201からのコラム選択信号CSLiを受け、このコラム選択信号CSLiがHレベルであると対応するビット線対1214とI/O線1223とを導通させるI/Oゲートで、それぞれがビット線1214aとI/O線1223aとの間に接続され、ゲートがコラム選択線1201に接続されるnチャネルMOSトランジスタ1222aと、ビット線1214bとI/O線1223bとの間に接続され、ゲートがコラム選択線1201に接続されるnチャネルMOSトランジスタ1222bとを有してい

る。

【0027】図8は、図7に示されたメモリセルMCxyを含む回路を半導体基板に形成したときのVIII-VIII面における断面図および行デコーダ1161やセンスアンプ1211などのメモリセルアレイ1210の周辺回路の断面図を併せて示した断面図である。周辺回路が形成された領域はメモリセルアレイ1210の領域から30μm離れている。図8において、501はp型のシリコンからなる半導体基板、502は半導体基板501に形成され、半導体基板501よりも不純物濃度の高いp型のウェル、503は半導体基板501に形成されたn型のウェル、504は半導体基板501の主面に形成され、この半導体基板501に形成されたMOSトランジスタ間を分離するための絶縁体（この実施の形態ではシリコン酸化物）からなる素子分離領域、505はp型ウェル502に形成されたnチャネルMOSトランジスタで、図の左側がメモリセルMC00におけるnチャネルMOSトランジスタ1211に相当し、右側がメモリセルMC10におけるnチャネルMOSトランジスタ1211に相当する。そして、このnチャネルMOSトランジスタ505はp型ウェル502に形成されたn型の一方のソース/ドレイン505aと、p型ウェル502に一方のソース/ドレイン505aと離隔して形成されたn型の他方のソース/ドレイン505bと、一方および他方のソース/ドレイン505aおよび505bによって挟まれたチャネル領域505cにゲート絶縁膜505dを介して対向して形成されたゲート電極505eとを有する。この2つのゲート電極505eは、並行して配置されてそれぞれがワード線電位WL0、WL1に対応するワード線1213の一部からなっている。

【0028】506は一部がゲート電極505eのようにこの第8図には示されていないメモリセルMC20におけるnチャネルMOSトランジスタ1211のゲート電極となり、ワード線電位WL2に対応するワード線1213で、メモリセルMC20におけるnチャネルMOSトランジスタ1211のゲート絶縁膜となる絶縁膜507上に形成されている。508は図7には示されていない、ワード線の電位を立ち上げた時に発生するビット線のノイズをキャンセルするためのダミーワード線またはメモリセルアレイの不良の行と置き換えるためのスペアワード線で、その一部が図示されていないダミーメモリセルまたはスペアメモリセルのゲート電極となり、ダミーメモリセルまたはスペアメモリセルのゲート絶縁膜となる絶縁膜508上に形成される。510はゲート電極またはワード線505e、506、508の側壁に形成されたシリコン酸化物からなるサイドウォール絶縁膜である。

【0029】511は周辺回路を形成しているnチャネルMOSトランジスタで、p型ウェル502に形成されたn型領域511aおよびこのn型領域511aよりも不純物濃度の低いn型領域511bからなる一方のソース/ドレイン511cと、p型ウェル502に一方のソース/ドレイン511cと離隔して形成され、n型領域511dおよびこのn型領域511d

よりも不純物濃度の低いn型領域511eからなる他方のソース/ドレイン511fと、一方および他方のソース/ドレイン511cおよび511fによって挟まれたチャネル領域511gにゲート絶縁膜511hを介して対向して形成されたゲート電極511iとを有する。512は周辺回路を形成しているpチャネルMOSトランジスタで、n型ウェル503に形成されたp型の一方のソース/ドレイン512aと、p型ウェル502に一方のソース/ドレイン512aと離隔して形成され、p型の他方のソース/ドレイン512bと、一方および他方のソース/ドレイン512aおよび512bによって挟まれたチャネル領域512cにゲート絶縁膜512dを介して対向して形成されたゲート電極512eとを有する。

【0030】513はゲート電極511iおよび512eの側壁に形成されたシリコン酸化物からなるサイドウォール絶縁膜である。514はメモリセルアレイ1210が設けられる領域および周辺回路の形成領域の全面に形成されたBPSG(Boro-Phospho Silicate Glass)膜からなる層間絶縁膜、515は層間絶縁膜514に開口されたコンタクトホール516を介してメモリセルを構成するnチャネルMOSトランジスタ505の他方のソース/ドレイン505bに接続されるビット線で、他方のソース/ドレイン505bに直接接するn型のポリシリコンからなる(Poly-Si)からなる接続部分515aとこのビット線515の抵抗を下げるためのアルミニウム(Al)からなる低抵抗部分515bとを有し、図7におけるビット線1214aに対応している。

【0031】517はメモリセルアレイ1210が設けられる領域および周辺回路の形成領域の全面に形成されたBPSG(Boro-Phospho Silicate Glass)膜からなる層間絶縁膜、518はキャパシタで、図の左側が図7におけるメモリセルMC00のキャパシタ1212に相当し、右側がメモリセルMC10におけるキャパシタ1212に相当している。このキャパシタ518は層間絶縁膜514および517に開口されたコンタクトホール519を介してnチャネルMOSトランジスタ505の一方のソース/ドレイン505aに接続され、n型のポリシリコンからなり、層間絶縁膜517上で円筒形状（図に示された518aの断面形状のコンタクトホール519を軸にした回転体に類似している）を有する一方電極518aと、この一方電極518a上に形成されたシリコン酸化物膜およびシリコン窒化膜の積層膜からなるキャパシタ用誘電膜518bと、このキャパシタ用誘電膜518b上に形成され、アルミニウムからなり、セルプレート電位VCPが与えられ、キャパシタ518の他方電極となるセルプレート518cとを有する。

【0032】520はメモリセルにおけるキャパシタ518の一方電極518aと同じ層に形成されてn型のポリシリコンからなるとともに、層間絶縁膜514および517に開口されたコンタクトホール521を介して周辺回路のnチャネルMOSトランジスタ511の一方のソース/ドレイン511cに接続されるコンタクトパッドである。522はメモリセルアレイ1210が設けられる領域および周辺回路の形成

領域の全面に形成されたBPSG(Boro-Phospho Silicate Glass)膜からなる層間絶縁膜、523はワード線505e、506、508に並行し、お互いに並行して設けられ、図示されていないが所定間隔(例えば128ビット線対)ごとにワード線505e、506、508に接続され、ワード線の低抵抗化を図るためのアルミニウムからなりHAの厚さを有するシャントワード線である。

【0033】524はシャントワード線523が形成されたメモリセルアレイ1210の設けられたメモリセルアレイ領域525、このメモリセルアレイ1210の設けられた領域を囲む30 $\mu$ m以上の幅を持つ境界領域526および周辺回路が形成される周辺回路領域527を含む半導体基板501の全面にシリコン原子を含有するシランSiH<sub>4</sub>と過酸化水素H<sub>2</sub>O<sub>2</sub>とを有する混合ガスを用いてCVD法(化学気相成長法)により形成され、境界領域526上ではメモリセルアレイ領域525から離れるにしたがって膜厚がしだいに小さくなり、メモリセルアレイ領域525から30 $\mu$ m以上離れた周辺回路領域527上では平坦化され、シャントワード線523の厚さHAよりも小さくシャントワード線523の厚さHAの50%以上の膜厚HBを有するシリコン酸化膜である。528はこのシリコン酸化膜524上に形成され、アルミニウムからなり、接地電位GNDを供給するための電源線で、シリコン酸化膜524および層間絶縁膜522に開口されたコンタクトホール529を介してコンタクトパッド520に接続され、このコンタクトパッド520を介して周辺回路のnチャネルMOSトランジスタ511の一方のソース/ドレイン511cに接地電位GNDを供給している。

【0034】このように、電源線528を直接nチャネルMOSトランジスタ511の一方のソース/ドレイン511cに接続せずに、コンタクトパッド520を介して接続することで、層間絶縁膜514、517、522およびシリコン酸化膜524を貫通するようなコンタクトホールを形成しなくてもよく、このような深いコンタクトホールを掘ろうとするとコンタクトホールの直径が大きくなり、これにあわせてnチャネルMOSトランジスタ511の一方のソース/ドレイン511cも大きく形成しなければならなくなることに伴うレイアウト面積増大という問題を、2つの浅いコンタクトホール521および529を形成することにより解決している。

【0035】また、シリコン酸化膜524の周辺回路領域527における膜厚HBをシャントワード線523の厚さHAの50%以上にしたことによりシャントワード線523が形成されたメモリセルアレイ領域525におけるシリコン酸化膜524の平坦化が正常に行われる。

【0036】次に以上のように構成されたこの実施の形態のDRAMの動作について図9に基づき説明する。まず、図9の(c)に示すようにアドレス信号Aiを与えて外部ロウアドレスストロープ信号ext/RASが図9の(a)に示すように時刻t0でHレベルからLレベルに立ち下げられると(活性化されると)、/RASパルファ1110から出力され

る内部ロウアドレスストロープ信号/RASもLレベルとなり、これを受けて行アドレスバッファ1120が与えられたアドレス信号Aiをロウアドレスとして取り込み、アドレス信号Aiと同論理および逆論理のロウアドレス信号RAi、/RAiを出力する。そして、行プリデコーダ1130がロウアドレス信号RAi、/RAiの2つづつに応じて3組のプリデコード信号X0-X3、X4-X7、X8-X11のそれぞれの組で4つのうち1つをHレベルとする。

【0037】また、行サブデコーダ1140が2つのロウアドレス信号RA0、/RA0、RA1、/RA1に応じてワード線駆動信号RX0-RX3のうち1つを昇圧電位VPPとし、ブロック選択回路1150が4つのロウアドレス信号RAi、/RAiに応じて16個のブロック選択信号BS0-BS15のうち1つをHレベルにする。そして、行デコーダ1160の中のHレベルとなったブロック選択信号BSjに対応したブロック対応の行デコーダ1161が1本のワード線1213の電位WLkを図9の(e)に示すように時刻t1で昇圧電位VPPに立ち上げる。この昇圧されたワード線1213に接続されたメモリセルMCkyにおけるnチャネルMOSトランジスタ1211が導通し、キャパシタ1212の一方の電極とあらかじめ中間電位(1/2)VCCにプリチャージされていたビット線1214aまたは1214bとの間で電荷の授受が行われる。

【0038】このとき、キャパシタ1212の一方電極に電源電位VCCが保持されていれば、キャパシタ1212の一方電極からビット線1214aまたは1214bへ電荷が流れてビット線1214aまたは1214bの電位BLyまたは/BLyが図9の(f)に示すように中間電位(1/2)VCCからわずかに上がる。また、キャパシタ1212の一方電極に接地電位GNDが保持されていれば、ビット線1214aまたは1214bからキャパシタ1212の一方電極へ電荷が流れてビット線1214aまたは1214bの電位BLyまたは/BLyが図9(g)に示すように中間電位(1/2)VCCからわずかに下がる。そして、このようにして生じたビット線間のわずかな電位差をセンスアンプ1221が検知増幅し、電位の低いほうのビット線の電位を図9の(f)または(g)に示すように時刻t2で接地電位GNDに、電位の高いほうのビット線の電位を図9の(f)または(g)に示すように時刻t3で電源電位VCCにする。

【0039】その後、列アドレスに相当するアドレス信号Aiが図9の(c)に示すように与えられて外部コラムアドレスストロープ信号ext/CASが図9の(b)に示すように時刻t4でHレベルからLレベルに立ち下げられると(活性化されると)、/CASパルファ1170から出力される内部コラムアドレスストロープ信号/CASもLレベルとなり、これを受けて列アドレスバッファ1180が与えられたアドレス信号Aiをコラムアドレスとして取り込み、アドレス信号Aiと同論理および逆論理のコラムアドレス信号CAi、/CAiを出力する。そして、列プリデコーダ1190がコラムアドレス信号CAi、/CAiの2つづつに応じて5組の列プリデコード信号Y0-Y3、Y4-Y7、Y8-Y11、Y12-Y15、Y16-Y19

のそれぞれの組で4つのうち1つをHレベルとする。

【0040】そして、列デコーダ1200が列ブリデコード信号Y0-Y3, Y4-Y7, Y8-Y11, Y12-Y15, Y16-Y19に応じて1本のコラム選択線1201の電位CSLpを図9の(h)に示すように時刻t5でHレベルに立ち上げる。このHレベルに立ち上げられたコラム選択線1201に接続されたI/Oゲート1222におけるnチャネルMOSトランジスタ1222aおよび1222bが導通し、このコラム選択線1201に対応したビット線対1214とI/O線対1223とを導通させる。これにより選択されたメモリセルMCKpに記憶されていたデータに対応した相補のデータI0n, /I0nが入出力バッファ1230に出力され、入出力バッファ1230はこのデータに応じた出力データDoutを図9の(i)に示すように時刻t6で出力し、読み出しが完了する。

【0041】書き込み時は外部コラムアドレスストロブ信号ext/CASをLレベルに立ち下げる前にライトイネーブル信号/WEをLレベルに立ち下げ、入力データDinを図9の(j)に示すように与えておく。これによりI/O線1223aおよび1223bのうち一方がLレベル、他方がHレベルとされ、読み出し動作と同様にこのI/O線対1223と、列デコーダ1200により列アドレス信号CAi, /CAiに応じてI/O線対1223に接続されたビット線対1214とを介して、選択されたメモリセルMCKpにおけるキャパシタの一方電極にLレベルまたはHレベルの電位が伝達される。そして、全ワード線1213の電位がLレベルとなり、外部コラムアドレスストロブ信号ext/CASおよび外部ロウアドレスストロブ信号ext/RASをHレベルに立ち上げることで全I/Oゲート1222が非導通となり、読み出しまたは書き込み動作が終了する。

【0042】次に図8のように構成されたこの実施例のDRAMの製造方法について図10から図13に基づき説明する。まず図10の(a)に示すようにp型の半導体基板501の一面にLOCOS(LOCAL Oxidation of Silicon)法により選択的に素子分離領域504を形成し、n型ウェル503の形成領域をフォトリソグラフィーを利用してレジストでマスクしてボロンイオンなどのp型のイオンを注入することによって半導体基板501よりも不純物濃度の高いp型ウェル502を形成する。次にn型ウェル503の形成領域をマスクしていたレジストを除去し、p型ウェル502をフォトリソグラフィーを利用してレジストでマスクしてリンイオンなどのn型のイオンを注入することによってn型ウェル503を形成し、レジストを除去する。

【0043】次に、図10の(b)に示すようにMOSトランジスタ505, 511, 512が形成される領域にゲート絶縁膜505d, 511h, 512dとなるシリコン酸化膜を熱酸化により形成し、このシリコン酸化膜および素子間分離領域504上にゲート電極またはワード線505e, 511i, 512e, 506, 508となるn型不純物イオンがドーブされたポリシリコンなどの導電材質からなる電極層をCVD(Chemical Vapor Depos

ition)法により堆積し、この電極層からフォトリソグラフィーおよびエッチングによりゲート電極またはワード線505e, 511i, 512e, 506, 508を形成する。そして、このゲート電極505e, 511i, 512eをマスクにしてこの下のシリコン酸化膜のエッチングをおこない、ゲート絶縁膜505d, 511h, 512dを形成する。

【0044】そして、フォトリソグラフィーを利用してn型ウェル503をレジストによりマスクし、ヒ素イオンなどのn型のイオンを選択的に注入・拡散することでnチャネルMOSトランジスタ505の一方および他方のソース/ドレイン505a, 505bおよびnチャネルMOSトランジスタ511の一方および他方のソース/ドレインを構成するn型領域511b, 511eを形成し、n型ウェル503をマスクしているレジストを除去し、CVD法によりゲート電極およびワード線505e, 506, 508, 511i, 512eを覆うシリコン酸化膜を形成し、この酸化膜を異方性エッチングすることによりサイドウォール絶縁膜510, 513を形成する。

【0045】次に、図11の(a)に示すようにメモリセルアレイ領域525および周辺回路領域527におけるn型ウェル503が形成される領域をフォトリソグラフィーを利用してレジストでマスクし、n型領域511b, 511eにくらべ高ドーズ量のヒ素イオンを選択的に注入・拡散し、n+型領域511a, 511dを形成することでnチャネルMOSトランジスタ511のソース/ドレイン511c, 511fを形成する。そして、メモリセルアレイ領域525および周辺回路領域527におけるn型ウェル503をマスクしていたレジストを除去し、メモリセルアレイ領域525および周辺回路領域527におけるp型ウェル502が形成される領域をフォトリソグラフィーを利用してレジストでマスクし、p型ウェル502にくらべ高ドーズ量のボロンイオンまたはBF<sub>2</sub>イオンを選択的に注入・拡散することでpチャネルMOSトランジスタ512のソース/ドレイン512a, 512bを形成する。そして、メモリセルアレイ領域525および周辺回路領域527におけるp型ウェル502が形成される領域をマスクしていたレジストを除去し、メモリセルアレイ領域525および周辺回路領域527の全面にCVD法によりBPSGからなる層間絶縁膜514を形成する。

【0046】次に、図11の(b)に示すように層間絶縁膜514のソース/ドレイン領域505b上にフォトリソグラフィーおよびエッチングによりコンタクトホール516を開口する。そして、ビット線515の接続部分515aとなるn型のポリシリコン層をCVD法により層間絶縁膜514上およびコンタクトホール516内に形成し、その上にビット線515の低抵抗部分515bとなるアルミニウム層をCVD法またはスパッタリング法により形成してフォトリソグラフィーおよびエッチングによりビット線515の接続部分515aおよび低抵抗部分515bを形成することでビット線515を形成する。そして、CVD法によりBPSGからなる層間絶縁膜517をメモリセルアレイ領域525および周辺回路領域527の全面に形成する。



【0047】次に、図12に示すように層間絶縁膜514および517のソース/ドレイン505aおよび511c上にフォトリソグラフィおよびエッチングによりコンタクトホール519および521をそれぞれ開口する。そして、n型のポリシリコン層をCVD法により層間絶縁膜517上およびコンタクトホール519、521内に形成し、その上にCVD法によりシリコン酸化膜530となるシリコン酸化膜を形成し、フォトリソグラフィおよびエッチングにより円筒形状のキャパシタ518の一方電極518aの底部、シリコン酸化膜530およびコンタクトパッド520を形成する。

【0048】次に、図13に示すようにフォトリソグラフィを用いて周辺回路領域527をレジストでマスクしてシリコン酸化膜530の上面、側壁、および層間絶縁膜517上にn型のポリシリコン層をCVD法で形成し、このポリシリコン層を異方性エッチングして円筒形状のキャパシタの一方電極518aの側壁部分を形成することで一方電極518aを形成する。

【0049】次に、図14に示すようにシリコン酸化膜530および周辺回路領域をマスクしていたレジストを除去し、CVD法によりキャパシタの誘電膜518bとなるシリコン酸化膜およびシリコン窒化膜の積層膜を形成し、その上にセルプレート518cとなるアルミニウム層を形成し、フォトリソグラフィおよびエッチングを用いてメモリアルレイ領域525にキャパシタ用誘電膜518bおよびセルプレート518cを形成することでキャパシタ518を形成する。そして、CVD法によりBPSGからなる層間絶縁膜522をメモリアルレイ領域525および周辺回路領域527の全面に形成する。

【0050】次に、図15に示すように層間絶縁膜522上にCVD法またはスパッタリング法によりシャントワード線523となる厚さHAのアルミニウム層を形成し、フォトリソグラフィおよびエッチングを用いてシャントワード線523を形成する。そして、メモリアルレイ領域525、このメモリアルレイ領域525を囲む30 $\mu$ m以上の幅を持つ境界領域526および周辺回路が形成される周辺回路領域527を含む半導体基板501の全面にシリコン原子を含有するシランSiH<sub>4</sub>と過酸化水素H<sub>2</sub>O<sub>2</sub>とを有する混合ガスを用いてCVD法を用いて境界領域526上ではメモリアルレイ領域525から離れるにしたがって膜厚がしだいに小さくなり、メモリアルレイ領域525から30 $\mu$ m以上離れた周辺回路領域527上では平坦化され、シャントワード線523の厚さHAよりも小さくシャントワード線523の厚さHAの50%以上の膜厚HBを有するシリコン酸化膜524を形成する。このシリコン酸化膜524は実施の形態1と同様にあらかじめ成膜条件を求めておき、HA/2 $\leq$ HB<HAの膜厚条件を満たすように形成される。

【0051】次に、フォトリソグラフィおよびエッチングを用いて層間絶縁膜522およびシリコン酸化膜524のコンタクトパッド520上にコンタクトホール529を開く。そして、シリコン酸化膜524上およびコンタク

トホール529内にCVD法またはスパッタリング法を用いてアルミニウム層を形成し、フォトリソグラフィおよびエッチングにより電源線528を形成することで図8に示されたDRAMが形成される。

【0052】以上のようにこの実施の形態4におけるDRAMは、シリコン酸化膜524の周辺回路領域527における膜厚HBをシャントワード線523の厚さHAの50%以上にしたことによりシャントワード線523が形成されたメモリアルレイ領域525におけるシリコン酸化膜524の平坦化が正常に行われる。

【0053】また、シリコン酸化膜524の周辺回路におけるHBをシャントワード線523の厚さHAよりも小さくしているため、コンタクトホール529の深さが小さくなり、コンタクトホール529を開く時間が短くなる。

【0054】なお、この実施の形態4ではシリコン酸化膜524をシランSiH<sub>4</sub>および過酸化水素H<sub>2</sub>O<sub>2</sub>を原料ガスとして用いてCVD法により形成していたが、実施の形態2と同様にこのシリコン酸化膜524をジシランSi<sub>2</sub>H<sub>6</sub>および過酸化水素H<sub>2</sub>O<sub>2</sub>を原料ガスとして用いるか、または実施の形態3と同様にTEOSを代表とする有機基（アルキル基）を含有する有機シリコン化合物および過酸化水素H<sub>2</sub>O<sub>2</sub>を原料ガスとして用いてCVD法により形成してもよい。

【0055】また、この実施の形態4ではシリコン酸化膜524のみをシリコン原子を含有するガスと過酸化水素の混合ガスを原料ガスとして用いてCVD法により形成していたが、層間絶縁膜522もシリコン原子を含有するガスと過酸化水素の混合ガスを原料ガスとして用いてCVD法により形成し、層間絶縁膜522の周辺回路領域527における膜厚がメモリアルレイ領域525におけるセルプレート518cの段差よりも小さく、この段差の50%以上になるように形成してもよい。この際の膜厚は素子が形成されていない領域、例えば素子間分離領域504上の膜厚としている。

【0056】さらに、層間絶縁膜517もシリコン原子を含有するガスと過酸化水素の混合ガスを原料ガスとして用いてCVD法により形成し、層間絶縁膜517の周辺回路領域527における膜厚がメモリアルレイ領域525におけるビット線515の段差よりも小さく、この段差の50%以上になるように形成してもよい。この際の膜厚は素子が形成されていない領域、例えば素子間分離領域504上の膜厚としている。

【0057】さらにまた、層間絶縁膜514もシリコン原子を含有するガスと過酸化水素の混合ガスを原料ガスとして用いてCVD法により形成し、層間絶縁膜514の周辺回路領域527における膜厚がメモリアルレイ領域525におけるワード線またはゲート電極506e、506f、508の段差よりも小さく、この段差の50%以上になるように形成してもよい。この際の膜厚は素子が形成されていない領域、例えば素子間分離領域504上の膜厚としている。

【0058】

【発明の効果】上記したように、この発明の第1の発明においては、シリコン原子を含有するガスと過酸化水素とを有する混合ガスを用いて形成したシリコン酸化膜の第3の領域での膜厚を配線の厚さよりも小さく配線の厚さの50%以上にしたので配線が形成された第1の領域におけるシリコン酸化膜の平坦化が正常に行われるという効果がある。

【0059】また、この発明の第2の発明においては、シリコン原子を含有するガスと過酸化水素とを有する混合ガスを用いて、第3の領域での膜厚が配線の厚さよりも小さく配線の厚さの50%以上になるようにシリコン酸化膜を形成する工程を備えているので、配線が形成された第1の領域におけるシリコン酸化膜の平坦化が正常に行われる半導体装置が製造できるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の半導体装置を示す断面図である。

【図2】 この発明の実施の形態1の半導体装置の製造方法を示す断面図である。

【図3】 この発明の実施の形態1の半導体装置の製造方法を示す断面図である。

【図4】 この発明の実施の形態1の半導体装置の製造条件を決めるためのサンプルを示す断面図である。

【図5】 この発明の実施の形態1の半導体装置の製造条件を決めるためのサンプルを示す断面図である。

【図6】 この発明の実施の形態4のDRAMを示すブロック図である。

【図7】 この発明の実施の形態4のDRAMのメモリセル

アレイ付近を示す回路図である。

【図8】 この発明の実施の形態4のDRAMを示す断面図である。

【図9】 この発明の実施の形態4のDRAMの動作を示すタイミング図である。

【図10】 この発明の実施の形態4のDRAMの製造方法を示す断面図である。

【図11】 この発明の実施の形態4のDRAMの製造方法を示す断面図である。

【図12】 この発明の実施の形態4のDRAMの製造方法を示す断面図である。

【図13】 この発明の実施の形態4のDRAMの製造方法を示す断面図である。

【図14】 この発明の実施の形態4のDRAMの製造方法を示す断面図である。

【図15】 この発明の実施の形態4のDRAMの製造方法を示す断面図である。

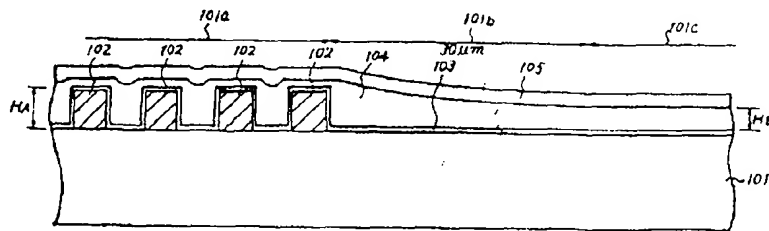
【図16】 従来の半導体装置の断面図である。

【図17】 従来の半導体装置の断面図である。

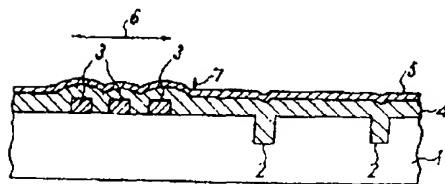
20 【符号の説明】

101 半導体基板 101a 第1の領域 101b 第2の領域  
101c 第3の領域  
102 配線 104 シリコン酸化膜  
501 半導体基板  
523 シェントリッド線 524 シリコン酸化膜  
525 メモリセルアレイ領域 526 境界領域 527 周辺回路領域

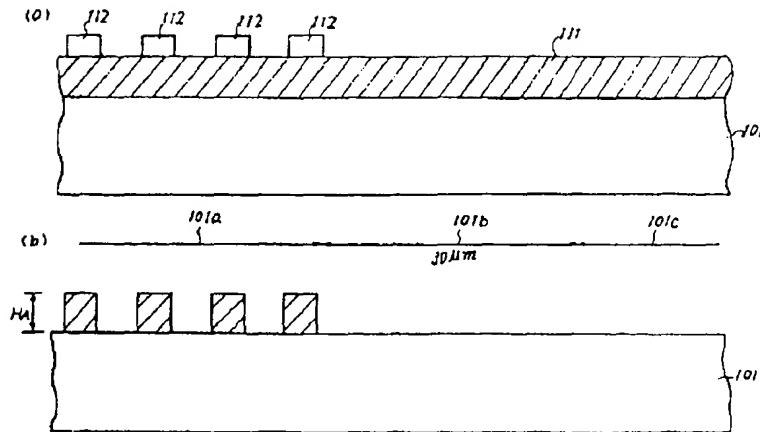
【図1】



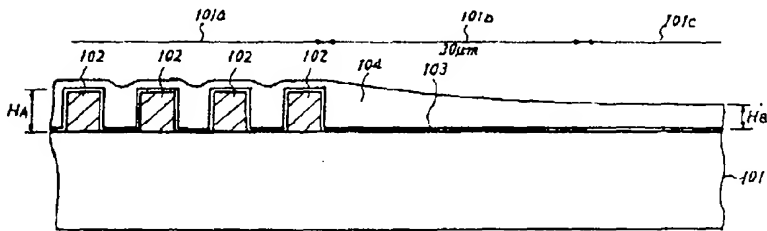
【図16】



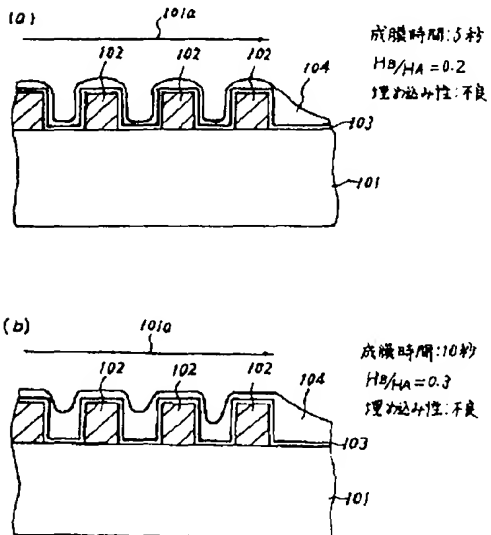
【図2】



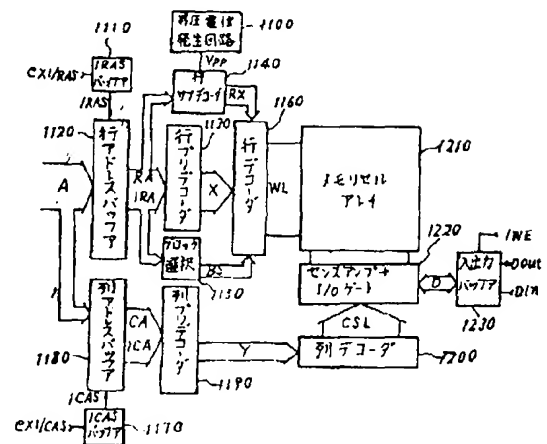
【図3】



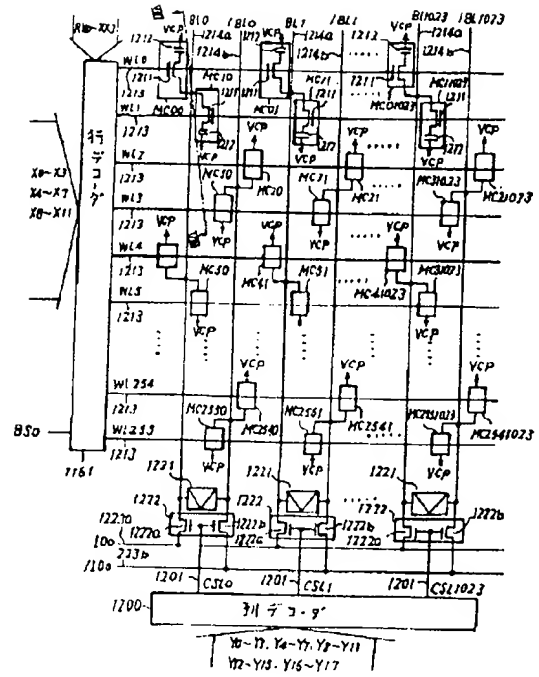
【図4】



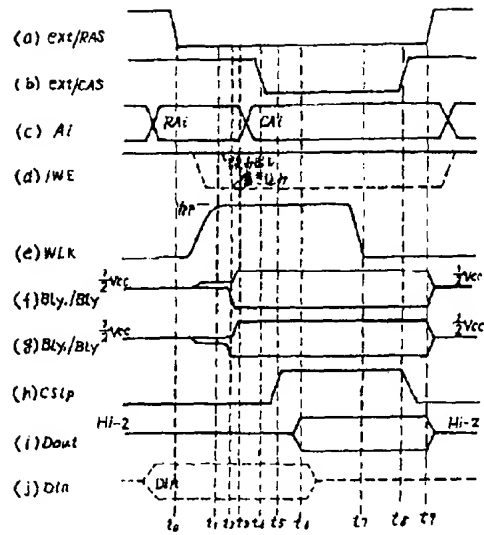
【図6】



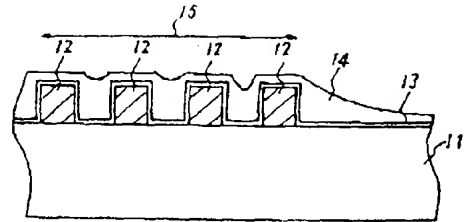
【圖 7】



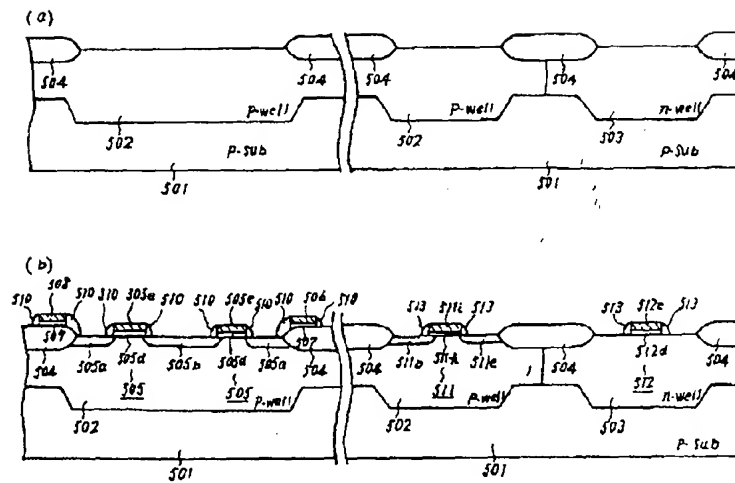
【図9】



【図17】

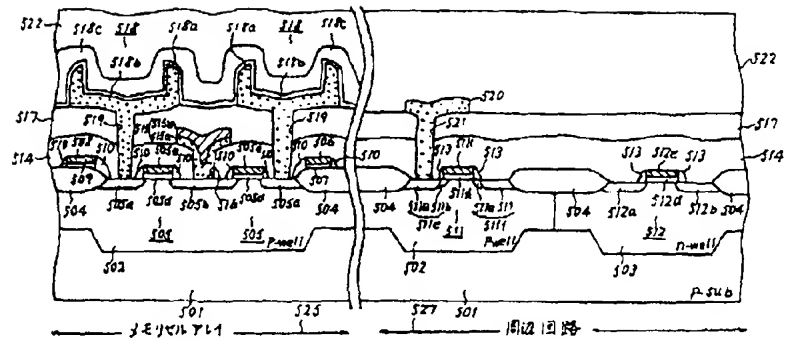


【図10】





【図 14】



【図 15】

